

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-217528

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H02M 3/07
G05F 3/24
G11C 11/407
H03K 19/096

(21)Application number : 05-255697

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.10.1993

(72)Inventor : HARA MOTOKO
KAJIMOTO TAKESHI

(30)Priority

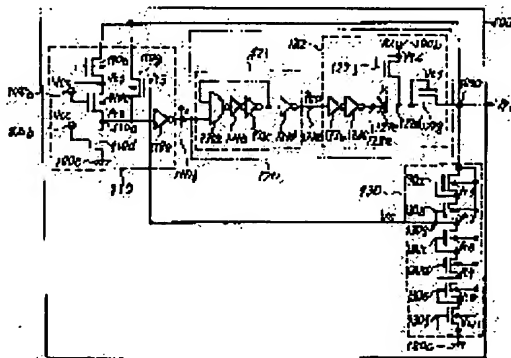
Priority number : 04274258 Priority date : 13.10.1992 Priority country : JP

(54) VOLTAGE GENERATION CIRCUIT

(57)Abstract:

PURPOSE: To obtain a voltage generation circuit which consumes a less amount of power by providing such a clamp circuit that the electric resistance between the circuit and an earth voltage node becomes smaller when the voltage at a voltage output node becomes higher than the clamping level of the clamp circuit.

CONSTITUTION: A clamp circuit 130 is constituted of p-channel MOS transistors 130a-130f diode-connected in series between a voltage output node 100a and earth voltage node 100c and outputs the gate potential V5 of a p-channel MOS transistor 110g in a high-voltage detection circuit 110 from a node 130g to which the transistors 130b and 130c are connected. The gate potential V5 becomes $V_{PP} - \bar{V}_{16}$; \bar{V}_{17} ; when a high voltage V_{PP} is lower than the clamping level V_{CL} of the circuit 130, but is maintained at $\bar{V}_{18} + V_{19} + V_{110} + V_{111}$; when the voltage V_{PP} once reaches or exceeds the clamping level V_{CL} . Therefore, the power consumption of this voltage generation circuit can be reduced, since a charge pump circuit does not make charge-pumping operations while the circuit 130 performs clamping operations.



LEGAL STATUS

[Date of request for examination] 29.08.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2740626

[Date of registration] 23.01.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平6-217528

(43) 公開日 平成6年(1994)8月5日

(51) Int. Cl. ⁵

識別記号

F I

H02M 3/07

8726-5H

G05F 3/24

Z 4237-5H

G11C 11/407

H03K 19/096

D 8321-5J

6866-5L

G11C 11/34

354

F

審査請求 未請求 請求項の数 2 O L (全19頁)

(21) 出願番号 特願平5-255697

(22) 出願日 平成5年(1993)10月13日

(31) 優先権主張番号 特願平4-274258

(32) 優先日 平4(1992)10月13日

(33) 優先権主張国 日本(J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 原 素子

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

(72) 発明者 梶本 毅

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

(74) 代理人 弁理士 高田 守

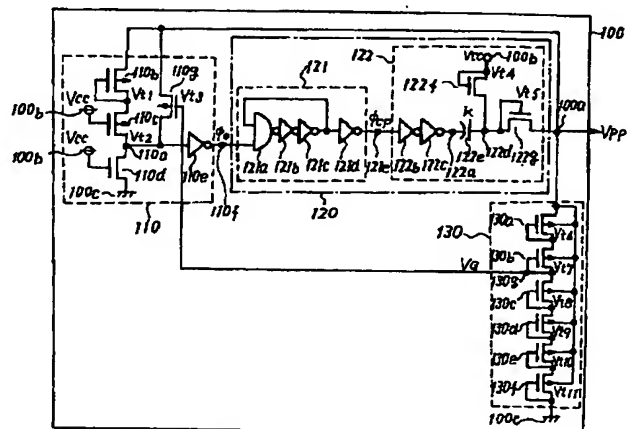
(54) 【発明の名称】 電圧発生回路

(57) 【要約】

【目的】 V_{cc} を上げていったとき、電圧を発生しながらクランプするという無駄を失くす。

【構成】 定電圧源からクランプレベルを決め、そのクランプレベルよりも V_{TH} おちのレベルで検知器を制御する。 V_{TH} 発生回路では、検知レベルが常にクランプレベルよりも低く設定されるようになった。

【効果】 電圧を発生しながらクランプするという無駄が失くなったため、消費電流が減った。



100 : 電圧発生回路
 100a : 電圧出力ノード
 100b : 接地電圧ノード
 110 : 高電圧検知回路
 120 : チャージホールド回路
 130 : クランプ回路

【特許請求の範囲】

【請求項1】 電源電圧が第1の電圧領域にあるとき、電源電圧の上昇に应答して高くなり、電源電圧が上記第1の電圧領域よりも高い第2の電圧領域にあるときは所定電圧となる検知レベルよりも電圧出力ノードの電圧が低いと第1のレベルとなる検知信号を出力する検知回路、

電源電圧を受けて駆動し、上記検知信号を受け、この検知信号が上記第1のレベルであると上記電圧出力ノードに電源電圧よりも高い電圧を出力するチャージポンプ回路、

上記電圧出力ノードと接地電圧が印加される接地電圧ノードとの間に接続され、上記電圧出力ノードの電圧が、上記所定電圧よりも高いクランプレベルよりも高くなると上記電圧出力ノードと上記接地電圧ノードとの間の導電抵抗が小さくなるクランプ回路を備えた電圧発生回路。

【請求項2】 電源電圧が第1の電圧領域にあるとき、電源電圧の上昇に应答して低くなり、電源電圧が上記第1の電圧領域よりも高い第2の電圧領域にあるときは所定電圧となる検知レベルよりも電圧出力ノードの電圧が高いと第1のレベルとなる検知信号を出力する検知回路、

電源電圧を受けて駆動し、上記検知信号を受け、この検知信号が上記第1のレベルであると上記電圧出力ノードに接地電圧よりも低い電圧を出力するチャージポンプ回路、

上記電圧出力ノードと接地電圧が印加される接地電圧ノードとの間に接続され、上記電圧出力ノードの電圧が、上記所定電圧よりも低いクランプレベルよりも低くなると上記電圧出力ノードと上記接地電圧ノードとの間の導電抵抗が小さくなるクランプ回路を備えた電圧発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は電圧発生回路に係り、特に電源電圧を異なる電圧に変換して出力する電圧発生回路に関する。

【0002】

【従来の技術】 図12は従来の電圧発生回路を示しており、この電圧発生回路10は電源電圧 V_{cc} を受けて駆動し、この電源電圧 V_{cc} よりも高い高電圧 V_{rr} を電圧出力ノード10aに出力する回路である。図12において11はこの電圧発生回路10から出力される高電圧 V_{rr} を受け、この高電圧 V_{rr} が $V_{cc} + 2|V_{th}|$ (V_{th} はpチャネルMOSトランジスタの閾値電圧)よりも低いとHレベル(ほぼ V_{cc})となる検知信号 ϕ_d を出力する高電圧検知回路で、高電圧 V_{rr} が出力される電圧出力ノード10aとノード11aとの間に接続されたダイオード接続のpチャネルMOSトランジスタ11bおよびゲート電極が電源電

圧 V_{cc} が与えられる電源電圧ノード10bに接続されるpチャネルMOSトランジスタ11cと、ノード11aと接地電圧が与えられる接地電圧ノード10cとの間に接続され、ゲート電極が電源電圧ノード10bに接続されたnチャネルMOSトランジスタ11dと、ノード11aと検知信号 ϕ_d が出力される検知信号出力ノード11fとの間に接続されたインバータ11eから構成されている。

【0003】 12は電源電圧 V_{cc} を受けて駆動し、高電圧検知回路11からの検知信号 ϕ_d を受け、この検知信号 ϕ_d がHレベルであるとHレベル(V_{cc})とLレベル(接地電圧)との間の变化をする(V_{cc} 振幅で発振する)クロック信号 ϕ_{cl} を出力し、検知信号 ϕ_d がLレベルであるとこのクロック信号 ϕ_{cl} をLレベルに固定するリングオシレータ回路で、一方の入力が検知信号出力ノード11fに接続された2入力NAND回路12aと、このNAND回路12aの出力と他方の入力との間に直列に接続されたインバータ12b、12cと、インバータ12cの出力とクロック信号 ϕ_{cl} が出力されるクロック信号出力ノード12eとの間に接続されたインバータ12dから構成されている。

【0004】 13はリングオシレータ回路12からのクロック信号 ϕ_{cl} を受け、このクロック信号 ϕ_{cl} が発振しているときは $(1+k)V_{cc} - 2V_{th}$ (k はキャパシタ13eのカップリング比、 V_{th} はnチャネルMOSトランジスタの閾値電圧)の高電圧 V_{rr} を電圧出力ノード10aに出力し、クロック信号 ϕ_{cl} がLレベルに固定されると出力をやめるドライバ回路で、クロック信号出力ノード12eとノード13aとの間に直列に接続されたインバータ13b、13cと、ノード13aとノード13dとの間に接続されたキャパシタ13eと、電源電圧ノード10bとノード13dとの間にダイオード接続されたnチャネルMOSトランジスタ13fと、ノード13dと電圧出力ノード10aとの間に接続され、ゲート電極がノード13dに接続されたドライバ用トランジスタ(nチャネルMOSトランジスタ)13gから構成されている。

【0005】 14は電圧出力ノード10aと接地電圧ノード10cとの間に接続され、電圧出力ノードの電圧 V_{rr} が $6|V_{th}|$ を越えるとこの電圧出力ノード10aと接地電圧ノード10cとを導通させ、電圧出力ノード10aの電圧 V_{rr} を $6|V_{th}|$ にクランプするためのクランプ回路で、電圧出力ノード10aと接地電圧ノード10cとの間に直列にダイオード接続され、閾値電圧の平均値が V_{th} であるpチャネルMOSトランジスタ14a、14b、14c、14d、14e、14fから構成されている。

【0006】 次に以上のように構成された従来の電圧発生回路の動作について説明する。まず、高電圧 V_{rr} が電源電圧 V_{cc} よりpチャネルMOSトランジスタ11b、11cの閾値電圧の和の絶対値 $2|V_{th}|$ ぶん高い検知レベル $V_{cc} + 2|V_{th}|$ より低いレベルにあるときは、このpチャネルMOSトランジスタ11b、11cとともに非導

通状態で、 n チャネルMOSトランジスタ11dはゲート電極に電源電圧 V_{cc} を受けて常時導通状態となっているため、ノード11aの電圧は接地電圧となり、このノード11aの電圧を受けるインバータ11eは検知信号 ϕ_c をHレベル(V_{cc})とする。すると、この検知信号 ϕ_c を受けてリングオシレータ回路12は発振を開始し、クロック信号 ϕ_{ck} は電源電圧 V_{cc} と接地電圧との間で振動し始め、ドライバ回路13はこのクロック信号 ϕ_{ck} を受け、このクロック信号 ϕ_{ck} が接地電圧から V_{cc} へと立ち上がるとノード13dの電圧は n チャネルMOSトランジスタ13fにより既に電源電圧 V_{cc} よりもこの n チャネルMOSトランジスタ13fの閾値電圧 V_{th} ぶん低いレベル $V_{cc} - V_{th}$ まで充電されているため、キャパシタ13eの容量結合により $2V_{cc} - V_{th}$ のレベルまで上昇しようとする。

【0007】また、クロック信号 ϕ_{ck} が電源電圧 V_{cc} から接地電圧へと立ち下るとキャパシタ13eの容量結合によりノード13dの電圧は $V_{cc} - V_{th}$ 以下になろうとするが、そうすると n チャネルMOSトランジスタ13fが導通してノード13dが $V_{cc} - V_{th}$ のレベルまで充電されるため、ノード13dの電圧は $V_{cc} - V_{th}$ となる。そして、ドライバ用トランジスタ13gはノード13dの電圧が電圧出力ノード10aの電圧 V_{rr} からこのドライバ用トランジスタ13gの閾値電圧 V_{th} だけ低い電圧より高いと導通し、低いと非導通となるため、ドライバ回路13は電圧出力ノード10aの電圧 V_{rr} を $2V_{cc} - 2V_{th}$ まで昇圧する能力を有している。しかし、 V_{rr} が $V_{cc} + 2|V_{th}|$ を越えると、 p チャネルMOSトランジスタ11b、11cが導通してノード11aがHレベルとなり、これを受けるインバータ11eは検知信号 ϕ_c をLレベル(接地電圧)とする。

【0008】すると、この検知信号 ϕ_c を受けてリングオシレータ回路12におけるNAND回路12aはHレベル(V_{cc})の信号を出力し、このリングオシレータ回路12から出力されるクロック信号 ϕ_{ck} はLレベルとなり、ドライバ回路13はこのクロック信号 ϕ_{ck} を受けてチャージポンプ動作を停止するため、電圧出力ノード10aの電圧 V_{rr} は $V_{cc} + 2|V_{th}|$ に保たれることになる。また、電圧出力ノード10aの電圧 V_{rr} が $6|V_{th}|$ を越えたときは、クランプ回路14における p チャネルMOSトランジスタ14a~14fが導通状態となり電圧出力ノード10aと接地電圧ノード10cが導通して電圧 V_{rr} が $6|V_{th}|$ にクランプされる。このように、高電圧 V_{rr} をクランプすることで V_{rr} が供給される素子に必要な以上に高電圧がかかって素子が破壊されてしまうのを防いでいる。

【0009】

【発明が解決しようとする課題】図13は図12に示された電圧発生回路10の電源電圧 V_{cc} -高電圧 V_{rr} 特性を表した図である。図13において、(a)はこの電圧発生回路10が出力できる電圧を示す直線で $2V_{cc} - 2V_{th}$ 、(b)は V_{rr} がこれ以上になると高電圧検知回路11がLレベルの

検知信号 ϕ_c を出力してリングオシレータ12の発振動作を停止させる検知レベルを示す直線で $V_{cc} + 2|V_{th}|$ 、(c)はクランプ回路14のクランプレベルで $6|V_{th}|$ である。通常動作時は電源電圧 V_{cc} は図13に示されたように V_{cc} 付近を使用し、高電圧 V_{rr} は V_{cc} ($=V_{cc} + 2|V_{th}|$)となっている。

【0010】通常、半導体装置は高温、高電源電圧下でバーンイン試験を行い初期不良の発生を意識的に加速し、不良と判定されたものをより分けるということを行って出荷後の故障率を減少させている。上記したような従来の電圧発生回路10を含む半導体装置をバーンイン試験する際や、電源電圧が変動して上昇した場合は電源電圧 V_{cc} は図13に示すように $V_{cc} > V_{th}$ の領域も使用されることになる。この領域では検知レベルを示す直線(b)はクランプレベルを示す直線(c)よりも上にあり、これは何を意味するかというと、高電圧 V_{rr} はクランプ回路14により $6|V_{th}|$ にクランプされ、検知レベル $V_{cc} + 2|V_{th}|$ よりも低いので高電圧検知回路11はHレベルの検知信号 ϕ_c を出力し、リングオシレータ回路12は発振し続け、ドライバ回路13はチャージポンプ動作をし続けて電圧出力ノード10aの電圧 V_{rr} をさらに上昇させようとする一方で、クランプ回路14は電圧出力ノード10aと接地電圧ノード10cを導通させ、電圧出力ノード10aから接地電圧ノード10cに電流を流し、この電圧出力ノード10aの電圧 V_{rr} の上昇を防ごうとしている状態にあることを意味する。

【0011】このように、検知レベルは $V_{cc} + 2|V_{th}|$ で電源電圧 V_{cc} に依存し、クランプレベルは $6|V_{th}|$ で電源電圧 V_{cc} に依存せず一定なため、電源電圧 V_{cc} が高い $V_{cc} > V_{th}$ の領域では $V_{cc} + 2|V_{th}| > 6|V_{th}|$ となり、ドライバ回路13は V_{rr} を上昇させようとする一方で、クランプ回路14は電圧出力ノード10aから接地電圧ノード10cに電流を流し、この電圧出力ノード10aの電圧 V_{rr} の上昇を防ごうとする状態、つまり、チャージポンプ動作とクランプ動作が同時に起こる状態が生じるので消費電流が大きいという問題があった。

【0012】この発明は上記した点に鑑みてなされたものであり、電源電圧が上昇しても検知レベルがクランプレベルよりも低くなるようにして、チャージポンプ動作とクランプ動作が同時に起こるのを防いだ、消費電力の小さな電圧発生回路を得ることにある。

【0013】

【課題を解決するための手段】この発明の第1の発明に係る電圧発生回路は、電源電圧が第1の電圧領域にあるとき、電源電圧の上昇に応答して高くなり、電源電圧が第1の電圧領域よりも高い第2の電圧領域にあるときは所定電圧となる検知レベルよりも電圧出力ノードの電圧が低いと第1のレベルとなる検知信号を出力する検知回路、電源電圧を受けて駆動し、検知信号を受け、この検知信号が第1のレベルであると電圧出力ノードに電源電

圧よりも高い電圧を出力するチャージポンプ回路、電圧出力ノードと接地電圧が印加される接地電圧ノードとの間に接続され、電圧出力ノードの電圧が、所定電圧よりも高いクランプレベルよりも高くなると電圧出力ノードと接地電圧ノードとの間の導通抵抗が小さくなるクランプ回路を備えたものである。

【0014】この発明の第2の発明に係る電圧発生回路は、電源電圧が第1の電圧領域にあるとき、電源電圧の上昇にตอบสนองして低くなり、電源電圧が第1の電圧領域よりも高い第2の電圧領域にあるときは所定電圧となる検知レベルよりも電圧出力ノードの電圧が高いと第1のレベルとなる検知信号を出力する検知回路、電源電圧を受けて駆動し、検知信号を受け、この検知信号が第1のレベルであると電圧出力ノードに接地電圧よりも低い電圧を出力するチャージポンプ回路、電圧出力ノードと接地電圧が印加される接地電圧ノードとの間に接続され、電圧出力ノードの電圧が、所定電圧よりも低いクランプレベルよりも低くなると電圧出力ノードと接地電圧ノードとの間の導通抵抗が小さくなるクランプ回路を備えたものである。

【0015】

【作用】この発明の第1の発明においては、電源電圧が第1の電圧領域にあるときは検知レベルが電源電圧の上昇に応じて上昇するが、電源電圧がさらに上昇して第2の電圧領域にはいると、この第2の電圧領域では検知レベルが所定電圧となり、電圧出力ノードの電圧がこの所定電圧を越えると検知回路は検知信号を第1のレベルとするのをやめ、これを受けてチャージポンプ回路が電圧出力ノードに電圧を発生するための動作をやめるため、この電圧出力ノードの電圧は検知レベルにおける所定電圧よりも高いクランプレベルよりも低いレベルとなり、クランプ回路では電圧出力ノードと接地電圧ノードとの間の導通抵抗を大きく保ったままとなり、電圧出力ノードから接地電圧ノードへはほとんど電流は流れない。これにより、チャージポンプ回路が電圧出力ノードに電圧を出力する動作を行う一方で、クランプ回路が電圧出力ノードと接地電圧ノードとの導通抵抗を小さくして電圧出力ノードから接地電圧ノードへと電流を流しているという状態が生じない。

【0016】この発明の第2の発明においては、電源電圧が第1の電圧領域にあるときは検知レベルが電源電圧の上昇に応じて下降するが、電源電圧がさらに上昇して第2の電圧領域にはいると、この第2の電圧領域では検知レベルが所定電圧となり、電圧出力ノードの電圧がこの所定電圧より低くなると検知回路は検知信号を第1のレベルとするのをやめ、これを受けてチャージポンプ回路が電圧出力ノードに電圧を発生するための動作をやめるため、この電圧出力ノードの電圧は検知レベルにおける所定電圧よりも低いクランプレベルよりも高いレベルとなり、クランプ回路では電圧出力ノードと接地電圧ノ

ードとの間の導通抵抗を大きく保ったままとなり、接地電圧ノードから電圧出力ノードへはほとんど電流は流れない。これにより、チャージポンプ回路が電圧出力ノードに電圧を出力する動作を行う一方で、クランプ回路が電圧出力ノードと接地電圧ノードとの導通抵抗を小さくして接地電圧ノードから電圧出力ノードへと電流を流しているという状態が生じない。

【0017】

【実施例】実施例1. 以下にこの発明の実施例1である電圧発生回路について、図1に基づいて説明する。図1において、100は電源電圧 V_{cc} を受けて駆動し、通常動作時はこの電源電圧 V_{cc} （この実施例では通常動作時3.3V）よりも高い高電圧 V_{rr} （通常動作時4.7V）を電圧出力ノード100aに出力する回路である。110はこの電圧発生回路100から電圧出力ノード100aに出力される高電圧 V_{rr} を受け、電源電圧 V_{cc} が第1の電圧領域である $V_{cc} < V_1$ （この実施例では $V_{cc} < 3.9V$ ）にあるときは、この高電圧 V_{rr} が検知レベルである $V_{Dr} = V_{cc} + |V_{i1}| + |V_{i2}|$ （ V_{i1} 、 V_{i2} はpチャネルMOSトランジスタ110b、110cの閾値電圧でこの実施例ではともに-0.7V）よりも低いとき、および電源電圧 V_{cc} が第2の電圧領域である $V_{cc} > V_1$ （この実施例では $V_{cc} > 3.9V$ ）にあるときは、高電圧 V_{rr} が検知レベル V_{Dr} における電源電圧 V_{cc} に依存しない所定電圧である V_{rx} （ V_{rx} についてはクランプ回路130の説明で述べる）よりも低いときに第1のレベルであるHレベル（ほぼ V_{cc} ）となる検知信号 ϕ_0 を出力する高電圧検知回路である。

【0018】この高電圧検知回路110は高電圧 V_{rr} が出力される電圧出力ノード100aとノード110aとの間に接続されたダイオード接続のpチャネルMOSトランジスタ110b（閾値電圧 V_{i1} ）およびゲート電極が電源電圧 V_{cc} が与えられる電源電圧ノード100bに接続されるpチャネルMOSトランジスタ110c（閾値電圧 V_{i2} ）と、ノード110aと接地電圧が与えられる接地電圧ノード100cとの間に接続され、ゲート電極が電源電圧ノード100bに接続されたnチャネルMOSトランジスタ110dと、ノード110aと検知信号 ϕ_0 が出力される検知信号出力ノード110fとの間に接続されたインバータ110eと、電圧出力ノード100aとノード110aとの間に接続されたpチャネルMOSトランジスタ110g（閾値電圧 V_{i3} ）とから構成されている。

【0019】120は電源電圧 V_{cc} を受けて駆動し、高電圧検知回路110からの検知信号 ϕ_0 を受け、この検知信号 ϕ_0 が第1のレベルであるHレベル（ V_{cc} ）であると電圧出力ノード110aに電源電圧 V_{cc} よりも高い高電圧 V_{rr} を出力するチャージポンプ回路で、電源電圧 V_{cc} を受けて駆動し、高電圧検知回路110からの検知信号 ϕ_0 を受け、この検知信号 ϕ_0 がHレベルであるとHレベル（ V_{cc} ）とLレベル（接地電圧）との間の変化をする（ V_{cc} 振幅で発振する）クロック信号 ϕ_c を出力し、検

知信号 ϕ_c が L レベル (接地電圧) であるとこのクロック信号 ϕ_c を L レベルに固定するリングオシレータ回路 121 と、このリングオシレータ回路 121 からクロック信号 ϕ_c を受け、このクロック信号 ϕ_c が発振しているときは $(1+k) V_{cc} - V_{i4} - V_{i5}$ (k はキャパシタ 122e のカップリング比でこの実施例では 1、 V_{i4} 、 V_{i5} は n チャネル MOS トランジスタ 122f、122g の閾値電圧でこの実施例ではともに 0.6V) の高電圧 V_{rr} を電圧出力ノード 100a に出力し、クロック信号 ϕ_c が L レベルに固定されると出力をやめるドライバ回路 122 から構成されている。

【0020】そして、チャージポンプ回路 120 におけるリングオシレータ回路 121 は、一方の入力が検知信号出力ノード 110f に接続された 2 入力 NAND 回路 121a と、この NAND 回路 121a の出力と他方の入力との間に直列に接続されたインバータ 121b、121c と、インバータ 121c の出力とクロック信号 ϕ_c が出力されるクロック信号出力ノード 121e との間に接続されたインバータ 121d から構成されている。また、ドライバ回路 122 は、クロック信号出力ノード 121e とノード 122a との間に直列に接続されたインバータ 122b、122c と、ノード 122a とノード 122d との間に接続されたキャパシタ 122e と、電源電圧ノード 100b とノード 122d との間にダイオード接続された n チャネル MOS トランジスタ 122f と、ノード 122d と電圧出力ノード 100a との間に接続され、ゲート電極がノード 122d に接続されたドライバ用トランジスタ (n チャネル MOS トランジスタ) 122g から構成されている。

【0021】130 は電圧出力ノード 100a と接地電圧ノード 100c との間に接続され、電圧出力ノード 100a の電圧 V_{rr} が所定電圧である $V_{rr} = |V_{i6}| + |V_{i7}| + |V_{i8}| + |V_{i9}| + |V_{i10}| + |V_{i11}| + |V_{i12}| + |V_{i13}|$ (5.3V) よりも高いクランプレベル $V_{cl} = |V_{i6}| + |V_{i7}| + |V_{i8}| + |V_{i9}| + |V_{i10}| + |V_{i11}| + |V_{i12}| + |V_{i13}|$ ($V_{i6} \sim V_{i13}$ は p チャネル MOS トランジスタ 130a ~ 130f の閾値電圧でこの実施例では $0.8 + 0.9 + 1.0 + 1.1 + 1.2 + 1.3 = 6.3V$) を越えたとこの電圧出力ノード 100a と接地電圧ノード 100c とを非導通から導通とし、電圧出力ノード 100a の電圧 V_{rr} をクランプレベル V_{cl} にクランプするためのクランプ回路で、電圧出力ノード 100a と接地電圧ノード 100c との間に直列ダイオード接続された p チャネル MOS トランジスタ 130a (閾値電圧 V_{i6})、130b (閾値電圧 V_{i7})、130c (閾値電圧 V_{i8})、130d (閾値電圧 V_{i9})、130e (閾値電圧 V_{i10})、130f (閾値電圧 V_{i11}) から構成されており、p チャネル MOS トランジスタ 130b と 130c とが接続されているノード 130g から高電圧検知回路 110 における p チャネル MOS トランジスタ 110g のゲート電位 V_g を出力し、この V_g は高電圧 V_{rr} がクランプレベル V_{cl} 以上になっていなければ $V_{rr} - |V_{i6}| - |V_{i7}|$ となるが、一度クランプレベル V_{cl} 以上になると $|V_{i6}| + |V_{i7}| + |V_{i8}| + |V_{i9}| + |V_{i10}| + |V_{i11}|$

(この実施例では 4.6V) を保つ。

【0022】この p チャネル MOS トランジスタ 130a ~ 130f はこの実施例では同じサイズで形成されているが、バックゲートが全て電圧出力ノード 100a に接続されバックゲート電位が等しくなっており、ソース電位は電圧出力ノード 100a 側のものほど高くなっているため、バックゲート・ソース間電圧は電圧出力ノード 100a 側のものほど絶対値が小さくなり、電圧出力ノード 100a 側のものほど閾値電圧の絶対値が小さくなっていて、p チャネル MOS トランジスタ 130a ~ 130f の閾値電圧はそれぞれ -0.8V、-0.9V、-1.0V、-1.1V、-1.2V、-1.3V となっている。

【0023】また、高電圧検知回路 110 における p チャネル MOS トランジスタ 110g は、高電圧 V_{rr} がクランプレベル V_{cl} 以上になっていなければ $V_{rr} - |V_{i6}| - |V_{i7}|$ となり、一度クランプレベル V_{cl} (この実施例では 6.3V) 以上になると $|V_{i6}| + |V_{i7}| + |V_{i8}| + |V_{i9}| + |V_{i10}| + |V_{i11}|$ (この実施例では 4.6V) を保つゲート電位 V_g を受けて、 $V_g = V_{rr} - |V_{i6}| - |V_{i7}|$ のときはゲート・ソース間電圧は $-|V_{i6}| - |V_{i7}|$ (-0.8 - 0.9 = -1.7V)、かつ閾値電圧 V_{i8} (-0.7V) はこのゲート・ソース間電圧よりも高いので常時導通状態である (n チャネル MOS トランジスタ 110d のチャネル幅は消費電流低減のため p チャネル MOS トランジスタ 110c のチャネル幅に比べてかなり小さくしてある)。

【0024】しかし、n チャネル MOS トランジスタ 110d のチャネル幅に対する p チャネル MOS トランジスタ 110g のチャネル幅の比を調整して、この p チャネル MOS トランジスタ 110g が非飽和領域で動作するようになっており、高電圧 V_{rr} が所定電圧 $V_{rr} = |V_{i6}| + |V_{i7}| + |V_{i8}| + |V_{i9}| + |V_{i10}| + |V_{i11}| + |V_{i12}| + |V_{i13}|$ (5.3V) より低いときは n チャネル MOS トランジスタ 110d の方が p チャネル MOS トランジスタ 110g よりも電流を多く流せる状態で、ノード 110a の電圧は p チャネル MOS トランジスタ 110b および 110c が導通ならば H レベル、非導通ならば L レベルとなり、高電圧 V_{rr} が所定電圧 V_{rr} (5.3V) より高く、クランプレベル V_{cl} (6.3V) より低いときは、n チャネル MOS トランジスタ 110d が飽和状態で動作し、p チャネル MOS トランジスタ 110g の方が n チャネル MOS トランジスタ 110d よりも電流を多く流せる状態となり、p チャネル MOS トランジスタ 110b および 110c の導通、非導通にかかわらずノード 110a の電圧は H レベルとなるようになっている。

【0025】そして、 $V_g = |V_{i6}| + |V_{i7}| + |V_{i8}| + |V_{i9}| + |V_{i10}| + |V_{i11}|$ (4.6V) の時は V_{rr} が所定電圧 $V_{rr} = V_g + |V_{i8}|$ (5.3V) より低いと p チャネル MOS トランジスタ 110g は非導通状態となり、ノード 110a の電圧は p チャネル MOS トランジスタ 110b および 110c が導通状態ならば H レベル、非導通状態ならば L レベルとなる。一方、 V_{rr} が所定電圧 $V_{rr} = V_g + |V_{i8}|$ (5.3

V) より高いと p チャンネル MOS トランジスタ 110g は導通状態となり、ノード 110a の電圧は p チャンネル MOS トランジスタ 110b および 110c の導通、非導通にかかわらず H レベルとなる。

【 0 0 2 6 】次に以上のように構成された電圧発生回路 100 の動作について説明する。まず、高電圧 V_{rr} が検知レベル $V_{dr} = V_{cc} + |V_{i1}| + |V_{i2}|$ ($V_{cc} < V_{r1} - |V_{i1}| - |V_{i2}| = V_1$ ($V_{cc} < 3.9V$) 第 1 の電圧領域のとき)、 $V_{dr} = V_{r1}$ ($V_{cc} > V_{r1} - |V_{i1}| - |V_{i2}| = V_1$ ($V_{cc} > 3.9V$) 第 2 の電圧領域のとき) より低いレベルにあるときは、p チャンネル MOS トランジスタ 110b、110c はともに非導通状態で、p チャンネル MOS トランジスタ 110g も非導通状態または電流を n チャンネル MOS トランジスタ 110d に比べ流せない状態で、n チャンネル MOS トランジスタ 110d はゲート電極に電源電圧 V_{cc} を受けて常時導通状態となっているため、ノード 110a の電圧は接地電圧となり、このノード 110a の電圧を受けるインバータ 110e は検知信号 ϕ_c を H レベル (V_{cc}) とする。すると、この検知信号 ϕ_c を受けてリングオシレータ回路 121 は発振を開始し、クロック信号 ϕ_c は電源電圧 V_{cc} と接地電圧との間で振動し始め、ドライバ回路 122 はこのクロック信号 ϕ_c を受け、このクロック信号 ϕ_c が接地電圧から V_{cc} へと立ち上がるとノード 122d の電圧は n チャンネル MOS トランジスタ 122f により既に電源電圧 V_{cc} よりもこの n チャンネル MOS トランジスタ 122f の閾値電圧 V_{i4} ぶん低いレベル $V_{cc} - V_{i4}$ まで充電されているため、キャパシタ 122e の容量結合により $(1 + k) V_{cc} - V_{i4}$ のレベル ($2 V_{cc} - 0.6$) まで上昇しようとする。

【 0 0 2 7 】また、クロック信号 ϕ_c が電源電圧 V_{cc} から接地電圧へと立ち下るとキャパシタ 122e の容量結合によりノード 122d の電圧は $V_{cc} - V_{i4}$ 以下になろうとするが、そうすると n チャンネル MOS トランジスタ 122f が導通してノード 122d が $V_{cc} - V_{i4}$ のレベルまで充電されるため、ノード 122d の電圧は $V_{cc} - V_{i4}$ となる。そして、ドライバ用トランジスタ 122g はノード 122d の電圧が電圧出力ノード 100a の電圧 V_{rr} からこのドライバ用トランジスタ 122g の閾値電圧 V_{i5} だけ低い電圧より高いと導通し、低いと非導通となるため、ドライバ回路 122 は電圧出力ノード 100a の電圧 V_{rr} を $(1 + k) V_{cc} - V_{i4} - V_{i5}$ ($2 V_{cc} - 1.2$) まで昇圧する能力を有している。しかし、 V_{rr} が検知レベル $V_{dr} (= V_{cc} + |V_{i1}| + |V_{i2}|$ または $V_{r1})$ を越えると、p チャンネル MOS トランジスタ 110b、110c が導通状態、または p チャンネル MOS トランジスタ 110g が n チャンネル MOS トランジスタ 110d に比べ電流を多く流せる状態となり、ノード 110a が H レベルとなり、これを受けるインバータ 110e は検知信号 ϕ_c を L レベル (接地電圧) とする。

【 0 0 2 8 】すると、この検知信号 ϕ_c を受けてリングオシレータ回路 121 における NAND 回路 121a は H レベ

ル (V_{cc}) の信号を出力し、このリングオシレータ回路 121 から出力されるクロック信号 ϕ_c は L レベルとなり、ドライバ回路 122 はこのクロック信号 ϕ_c を受けてチャージポンプ動作を停止するため、電圧出力ノード 100a の電圧 V_{rr} は検知レベル $V_{dr} (= V_{cc} + |V_{i1}| + |V_{i2}|$ ($V_{cc} < V_{r1} - |V_{i1}| - |V_{i2}|$ のとき)、または V_{r1} ($V_{cc} > V_{r1} - |V_{i1}| - |V_{i2}|$)) に保たれることになる。また、電圧出力ノード 100a の電圧 V_{rr} がクラムレベル $V_{cl} (= |V_{i6}| + |V_{i7}| + |V_{i8}| + |V_{i9}| + |V_{i10}| + |V_{i11}|)$ を越えたときは、クラム回路 130 における p チャンネル MOS トランジスタ 130a ~ 130f が導通状態となり電圧出力ノード 100a と接地電圧ノード 100c が導通して電圧 V_{rr} がクラムレベル V_{cl} にクラムされる。このように、高電圧 V_{rr} をクラムすることで V_{rr} が供給される素子に必要以上に高電圧がかかって素子が破壊されてしまうのを防いでいる。

【 0 0 2 9 】次に、電圧出力ノード 100a から出力される高電圧 V_{rr} の電源電圧 V_{cc} 依存性について図 2 に基づき説明する。図 2 は電源電圧 V_{cc} - 高電圧 V_{rr} 特性を表したグラフで、(a) は電圧発生回路 100 が電圧出力ノード 100a に出力できる電圧を示す直線で $(1 + k) V_{cc} - V_{i4} - V_{i5}$ 、(b) および (c) は高電圧 V_{rr} がこれ以上になると高電圧検知回路 110 が L レベルの検知信号 ϕ_c を出力してリングオシレータ回路 121 の発振動作を停止させる検知レベル V_{dr} を示す直線で $V_{cc} + |V_{i1}| + |V_{i2}|$ ($V_{cc} < V_1$ ($V_{cc} < 3.9V$) 第 1 の電圧領域のとき)、または V_{r1} ($V_{cc} > V_1$ ($V_{cc} > 3.9V$) 第 2 の電圧領域のとき)、(d) はクラム回路 130 のクラムレベルで V_{cl} (6.3V) である。通常動作時は電源電圧 V_{cc} は図 2 に示されたように第 1 の電圧領域である $V_{cc} < V_1$ 内の V_0 (3.3V) 付近を使用し、高電圧 V_{rr} は V_0 (4.7V) となっている。

【 0 0 3 0 】また、バーンイン試験する際や、電源電圧が変動して上昇した場合は電源電圧 V_{cc} は図 2 に示すように第 2 の電圧領域である $V_{cc} > V_1$ の領域でも使用されることになる。この領域でも検知レベル V_{dr} を示す直線 (c) はクラムレベル V_{cl} を示す直線 (d) よりも下にある。これにより、高電圧 V_{rr} が検知レベル V_{dr} (5.3V) を越えると、高電圧検知回路 110 がこれを検知して L レベルの検知信号 ϕ_c を出力してリングオシレータ回路 121 の発振動作を停止させるため、高電圧 V_{rr} がたとえクラムレベル V_{cl} を越えたとしても、このときチャージポンプ回路 120 の電圧出力ノード 100a に電圧 V_{rr} を出力する動作が停止し、クラム回路 130 が電圧出力ノード 100a から接地電圧ノード 100c に電流を流すクラム動作の最中にリングオシレータ回路 121 が発振し続け、ドライバ回路 122 はチャージポンプ動作をし続けて電圧出力ノード 100a の電圧 V_{rr} をさらに上昇させようとする動作がいったん起きず、つまりは、チャージポン

ブ動作とクランプ動作が同時に起こることがないので、消費電流を低減できる。

【0031】以上のようにこの実施例1では、リングオシレータ回路121の発振を止める検知レベルがクランプレベルよりも常に低くなるようにしたため、チャージポンプ動作とクランプ動作が同時に起こることがないので、消費電流が小さい。また、図12に示された回路に比べ、pチャネルMOSトランジスタ110gを付加してこのトランジスタ110gのゲート電位 V_g はクランプ回路130から得ているだけでこれを実現しており、つまり少ない素子でこれを実現しているため、レイアウト面積の増加が抑制される。

【0032】実施例2. 次にこの発明の実施例2である電圧発生回路について、図3に基づいて説明する。図3に示された電圧発生回路100も図1に示された電圧発生回路100と同様に電源電圧 V_{cc} を受けて駆動し、通常動作時はこの電源電圧 V_{cc} （この実施例では通常動作時3.3V）よりも高い高電圧 V_{pp} （通常動作時4.7V）を電圧出力ノード100aに出力する回路である。この図3に示された電圧発生回路100が図1に示されたものとことなる点は、クランプ回路130において、電圧出力ノード100aとゲート電位 V_g を出力しているノード130gとの間に、pチャネルMOSトランジスタ130aおよび130bと並列に、ポリシリコンからなる抵抗130hを接続している点で、この抵抗130hは電圧出力ノード100aからこの抵抗130hを介して接地電圧ノード100cに流れる電流を少なくするために、pチャネルMOSトランジスタ130aおよび130bのオン抵抗に比べてかなり大きくしている（1M Ω 以上）。

【0033】クランプ回路130にこの抵抗130hを設けたことにより、ノード130gから出力されるゲート電位 V_g は、電圧出力ノード100aの高電圧 V_{pp} がpチャネルMOSトランジスタ130c~130fの閾値電圧の絶対値の和 $|V_{t1}| + |V_{t2}| + |V_{t3}| + |V_{t4}|$ （この実施例では4.6V）より低いときはこのpチャネルMOSトランジスタ130c~130fが非導通状態なので V_{pp} に等しくなり、高電圧 V_{pp} が $|V_{t1}| + |V_{t2}| + |V_{t3}| + |V_{t4}|$ より高いときはpチャネルMOSトランジスタ130c~130fが導通状態となるので $|V_{t1}| + |V_{t2}| + |V_{t3}| + |V_{t4}|$ となる。このとき抵抗130hは高抵抗値をもつため、 V_g が $|V_{t1}| + |V_{t2}| + |V_{t3}| + |V_{t4}|$ となっても V_{pp} は V_g にはならない（抵抗の両端で電圧差が生じている）。

【0034】そして、この電圧出力ノード100aと接地電圧ノードとの間に接続されたクランプ回路130は、電圧出力ノード100aの電圧 V_{pp} が、所定電圧 $V_{th} = |V_{t1}| + |V_{t2}| + |V_{t3}| + |V_{t4}|$ （5.3V）よりも高いクランプレベル $V_{cl} = |V_{t1}| + |V_{t2}| + |V_{t3}| + |V_{t4}|$ （6.3V）よりも高くなると、電圧出力ノード100aと接地電圧ノード100cとの間に接続されたpチャネルMOSトラン

ジスタ130c~130fに加えて130aおよび130bも導通状態となり、それまで抵抗130hおよびpチャネルMOSトランジスタ130c~130fを介して導通していた電圧出力ノード100aと接地電圧ノード100cが、pチャネルMOSトランジスタ130a~130fを介しても導通し、pチャネルMOSトランジスタ130aおよび130bのオン抵抗はこれと並列に接続された高抵抗値をもつ抵抗130hに比べかなり低くなっているため、電圧出力ノード100aから接地電圧ノード100cへと大きく電流が流れて電圧出力ノード100aの電圧 V_{pp} はクランプレベル V_{cl} にクランプされる。

【0035】また、このクランプ回路130からのゲート電位 V_g （ V_{pp} または $|V_{t1}| + |V_{t2}| + |V_{t3}| + |V_{t4}|$ ）を受ける高電圧検知回路110におけるpチャネルMOSトランジスタ110gは、ソース電極に受けている高電圧 V_{pp} が $|V_{t1}| + |V_{t2}| + |V_{t3}| + |V_{t4}|$ （4.6V）より低いときは $V_g = V_{pp}$ なのでゲート・ソース間電圧が0Vとなり常に非導通状態、高電圧 V_{pp} が $|V_{t1}| + |V_{t2}| + |V_{t3}| + |V_{t4}|$ （4.6V）より高いときは $V_g = |V_{t1}| + |V_{t2}| + |V_{t3}| + |V_{t4}|$ （4.6V）なので、この高電圧 V_{pp} がゲート電位 V_g よりもこのpチャネルMOSトランジスタ110gの閾値電圧 V_{th} の絶対値だけ高い電圧 $V_g + |V_{t1}|$ （5.3V）より高いと導通状態、低いと非導通状態となる。

【0036】このように、pチャネルMOSトランジスタ110gが、高電圧 V_{pp} が検知レベル V_{th} における所定電圧 $V_{th} = |V_{t1}| + |V_{t2}| + |V_{t3}| + |V_{t4}| + |V_{t5}|$ （5.3V）より高いと導通、低いと非導通となるため、このpチャネルMOSトランジスタ110gのチャネル幅をnチャネルMOSトランジスタ110dのそれよりもある程度大きくしていれば、ノード110aの電圧はpチャネルMOSトランジスタ110gが導通状態になればHレベル、非導通状態になればpチャネルMOSトランジスタ110bおよび110cが導通するとHレベル、非導通であるとHレベルとなり、実施例1に示されたものに比べトランジスタ110gのサイズに気を払わなくてすむ。

【0037】次に以上のように構成された電圧発生回路100の動作について説明する。まず、高電圧 V_{pp} が検知レベル $V_{th} = V_{cc} + |V_{t1}| + |V_{t2}|$ （ $V_{cc} < V_{th} - |V_{t1}| - |V_{t2}| = V_{th}$ （ $V_{cc} < 3.9V$ ）第1の電圧領域のとき）、 $V_{pp} = V_{th}$ （ $V_{cc} > V_{th} - |V_{t1}| - |V_{t2}| = V_{th}$ （ $V_{cc} > 3.9V$ ）第2の電圧領域のとき）より低いレベルにあるときは、pチャネルMOSトランジスタ110b、110cおよび110gはともに非導通状態で、nチャネルMOSトランジスタ110dはゲート電極に電源電圧 V_{cc} を受けて常時導通状態となっているため、ノード110aの電圧は接地電圧となり、このノード110aの電圧を受けるインバータ110eは検知信号 ϕ を第1のレベルであるHレベル（ V_{cc} ）とする。すると、この検知信号 ϕ を受けるチャージポンプ回路120は実施例1で示された電

圧発生回路100 におけるチャージポンプ回路120 と同様の動作をし、電圧出力ノード100aに高電圧 V_{pr} を出力する。そして、 V_{pr} が検知レベル V_{dr} ($=V_{cc} + |V_{i1}| + |V_{i2}|$ または V_{rk}) を越えると、pチャネルMOSトランジスタ110b、110cが導通状態、またはpチャネルMOSトランジスタ110gが導通状態となり、ノード110aがHレベルとなり、これを受けるインバータ110eは検知信号 ϕ_e をLレベル（接地電圧）とする。

【0038】すると、この検知信号 ϕ_e を受けて実施例1に示された電圧発生回路100 におけるチャージポンプ回路120 と同様にチャージポンプ動作を停止するため、電圧出力ノード100aの電圧 V_{pr} は検知レベル V_{dr} ($=V_{cc} + |V_{i1}| + |V_{i2}|$ ($V_{cc} < V_{rk} - |V_{i1}| - |V_{i2}|$ のとき)、または V_{rk} ($V_{cc} > V_{rk} - |V_{i1}| - |V_{i2}|$)) に保たれることになる。また、電圧出力ノード100aの電圧 V_{pr} がクラムレベル V_{cl} ($=|V_{i6}| + |V_{i7}| + |V_{i8}| + |V_{i9}| + |V_{i10}| + |V_{i11}|$) を越えたときは、クラム回路130 におけるpチャネルMOSトランジスタ130a~130fが導通状態となり電圧出力ノード100aと接地電圧ノード100cが導通して電圧 V_{pr} がクラムレベル V_{cl} にクラムされる。

【0039】次に、電圧出力ノード100aから出力される高電圧 V_{pr} の電源電圧 V_{cc} 依存性について説明する。この実施例2でも実施例1に示された電圧発生回路100 と同様に図2に示されたような電源電圧 V_{cc} 特性を有し、通常動作時は電源電圧 V_{cc} は図2に示されたように第1の電圧領域である $V_{cc} < V_1$ 内の V_0 (3.3V) 付近を使用し、高電圧 V_{pr} は V_0 (4.7V) となっている。

【0040】また、バーンイン試験する際や、電源電圧が変動して上昇した場合は電源電圧 V_{cc} は図2に示すように第2の電圧領域である $V_{cc} > V_1$ の領域でも使用されることになる。この領域でも検知レベル V_{dr} を示す直線(c)はクラムレベル V_{cl} を示す直線(d)よりも下にある。これにより、高電圧 V_{pr} が検知レベル V_{dr} (5.3V) を越えると、高電圧検知回路110 がこれを検知してLレベルの検知信号 ϕ_e を出力してリングオシレータ回路121の発振動作を停止させるため、高電圧 V_{pr} がたとえクラムレベル V_{cl} を越えたとしても、このときチャージポンプ回路120の電圧出力ノード100aに電圧 V_{pr} を出力する動作が停止し、クラム回路130が電圧出力ノード100aから接地電圧ノード100cに電流を流すクラム動作の最中にリングオシレータ回路121が発振し続け、ドライバ回路122はチャージポンプ動作をし続けて電圧出力ノード100aの電圧 V_{pr} をさらに上昇させようとする動作がいったい起きず、つまりは、チャージポンプ動作とクラム動作が同時に起こることがないので、消費電流を低減できる。

【0041】以上のようにこの実施例2では、リングオシレータ回路121の発振を止める検知レベルがクラムレベルよりも常に低くなるようにしたため、チャージポ

ンプ動作とクラム動作が同時に起こることがないので、消費電流が小さい。また、図12に示された回路にくらべ、pチャネルMOSトランジスタ110gおよび抵抗130hを付加し、トランジスタ110gのゲート電位 V_g はクラム回路130から得ているだけでこれを実現しており、つまり少ない素子でこれを実現しているため、レイアウト面積の増加が抑制される。さらに抵抗130hを設けてpチャネルMOSトランジスタ110gのゲート電位 V_g が出力されるノード130gがフローティング状態にならないようにして、pチャネルMOSトランジスタ110gが、高電圧 V_{pr} が検知レベル V_{dr} における所定電圧 V_{rk} (5.3V) より高いと導通、低いと非導通となるように、このゲート電位 V_g を出力しているため、このpチャネルMOSトランジスタ110gのチャネル幅をnチャネルMOSトランジスタ110dのそれよりもある程度大きくしていればよく、実施例1に示されたものに比べpチャネルMOSトランジスタ110gのサイズに気を払わなくてすむ。

【0042】実施例3. 以下にこの発明の実施例3である電圧発生回路について、図4に基づいて説明する。図4において、200は電源電圧 V_{cc} を受けて駆動し、負の基板電圧 V_{ss} (この実施例では-1.5V) を電圧出力ノード200aに出力する回路である。210はこの電圧発生回路200から電圧出力ノード200aに出力される基板電圧 V_{ss} を受け、この基板電圧 V_{ss} が、電源電圧 V_{cc} が $V_{cc} < V_{i1}$ (この実施例では $V_{cc} < 3.9V$) にあるときは、 $-V_{i11} - V_{i12} - V_{i13}$ (この実施例では-1.5V)、第1の電圧領域である $V_{i11} < V_{cc} < V_{i12}$ (この実施例では $3.9V < V_{cc} < 4.3V$) にあるときは、電源電圧 V_{cc} の上昇に応じて $-V_{i11} - V_{i12} - V_{i13}$ (-1.5V) から下降するレベル、および電源電圧 V_{cc} が第2の電圧領域である $V_{cc} > V_{i12}$ (この実施例では $V_{cc} > 4.3V$) にあるときは、基板電圧 V_{ss} が所定電圧である V_{rk} (-2.3V) である検知レベル V_{dr} よりも高いときに第1のレベルであるHレベル (ほぼ V_{cc}) となる検知信号 ϕ_e を出力する基板電圧検知回路である。

【0043】この基板電圧検知回路210は基板電圧 V_{ss} が出力される電圧出力ノード200aとノード210aとの間に接続されたダイオード接続のnチャネルMOSトランジスタ210b (閾値電圧 V_{i11})、210c (閾値電圧 V_{i12}) およびゲート電極が接地電圧ノード100cに接続されるnチャネルMOSトランジスタ210d (閾値電圧 V_{i13}) と、電源電圧ノード100bとノード210aとの間に接続され、ゲート電極が接地電圧ノード100cに接続されたpチャネルMOSトランジスタ210eと、ノード210aと検知信号 ϕ_e が出力される検知信号出力ノード210fとの間に直列に接続されたインバータ210gおよび210hと、電圧出力ノード200aとノード210aとの間に接続されたnチャネルMOSトランジスタ210i (閾値電圧 V_{i14}) とから構成されている。

【0044】220は電源電圧 V_{cc} を受けて駆動し、基板

電圧検知回路210からの検知信号 ϕ_0 を受け、この検知信号 ϕ_0 が第1のレベルであるHレベル(V_{cc})であると電圧出力ノード200aに負の電圧 V_{ss} を出力するチャージポンプ回路で、電源電圧 V_{cc} を受けて駆動し、基板電圧検知回路210からの検知信号 ϕ_0 を受け、この検知信号 ϕ_0 が第1のレベルであるHレベルであるとHレベル(V_{cc})とLレベル(接地電圧)との間の変化をする(V_{cc} 振幅で発振する)クロック信号 ϕ_c を出力し、検知信号 ϕ_0 がLレベル(接地電圧)であるとこのクロック信号 ϕ_c をLレベルに固定するリングオシレータ回路221と、このリングオシレータ回路221からのクロック信号 ϕ_c を受け、このクロック信号 ϕ_c が発振しているときは $-kV_{cc} + |V_{i1s}| + |V_{i2s}|$ (k はキャパシタ222eのカップリング比でこの実施例では1、 V_{i1s} 、 V_{i2s} はpチャネルMOSトランジスタ222f、222gの閾値電圧でこの実施例ではともに $-0.7V$)の基板電圧 V_{ss} を電圧出力ノード200aに出力し、クロック信号 ϕ_c がLレベルに固定されると出力をやめるドライバ回路222から構成されている。

【0045】そして、チャージポンプ回路220におけるリングオシレータ回路221は、一方の入力が検知信号出力ノード210fに接続された2入力NAND回路221aと、このNAND回路221aの出力と他方の入力との間に直列に接続されたインバータ221b、221cと、インバータ221cの出力とクロック信号 ϕ_c が出力されるクロック信号出力ノード221eとの間に接続されたインバータ221dから構成されている。また、ドライバ回路222は、クロック信号出力ノード221eとノード222aとの間に直列に接続されたインバータ222b、222cと、ノード222aとノード222dとの間に接続され、ソース電極とドレイン電極をショートさせチャネル領域とゲート電極間で容量をなすキャパシタ222eと、ノード222dと接地電圧ノード100cとの間にダイオード接続されたpチャネルMOSトランジスタ222fと、ノード222dと電圧出力ノード200aとの間に接続され、ゲート電極がノード222dに接続されたドライバ用トランジスタ(pチャネルMOSトランジスタ)222gから構成されている。

【0046】230は電圧出力ノード200aと接地電圧ノード100cとの間に接続され、電圧出力ノード200aの電圧 V_{ss} が、所定電圧である $V_{rk} = -V_{i1s} - V_{i3s} - V_{i4s}$ ($-2.3V$)よりも低いクランプレベル $V_{cl} = -V_{i1s} - V_{i1s} - V_{i1s} - V_{i3s}$ ($V_{i1s} \sim V_{i3s}$ はnチャネルMOSトランジスタ230a~230dの閾値電圧でこの実施例では $-0.6 - 0.7 - 0.8 - 0.9 = -3.0V$)よりも低くなるとこの電圧出力ノード200aと接地電圧ノード100cとの間の導電抵抗を下げ、電圧出力ノード200aの電圧 V_{ss} をクランプレベル V_{cl} にクランプするためのクランプ回路で、電圧出力ノード200aと接地電圧ノード100cとの間に直列にダイオード接続されたnチャネルMOSトランジスタ230a(閾値電圧 V_{i1s})、230b(閾値電圧

V_{i1s})、230c(閾値電圧 V_{i2s})、230d(閾値電圧 V_{i3s})と、電圧出力ノード200aとノード230eとの間にnチャネルMOSトランジスタ230aおよび230bと並列に、ポリシリコンからなる抵抗230fとから構成されており、nチャネルMOSトランジスタ230bと230cとが接続されているノード230eから基板電圧検知回路210におけるpチャネルMOSトランジスタ210iのゲート電位 V_g を出力している。

【0047】そして、nチャネルMOSトランジスタ230a~230dはこの実施例では同じサイズで形成されているが、バックゲート・ソース間電圧の関係で電圧出力ノード200a側のものほど閾値電圧が小さくなっていて、それぞれ $0.6V$ 、 $0.7V$ 、 $0.8V$ 、 $0.9V$ となっている。また、抵抗230fは接地電圧ノード100cから電圧出力ノード200aに流れる電流を少なくするために、nチャネルMOSトランジスタ230aおよび230bのオン抵抗に比べてかなり大きくしている($1M\Omega$ 以上)。クランプ回路230にこの抵抗230fを設けたことにより、ノード230eから出力されるゲート電位 V_g は、電圧出力ノード200aの基板電圧 V_{ss} が接地電圧からnチャネルMOSトランジスタ230cおよび230dの閾値電圧の和を差し引いた電圧 $-V_{i2s} - V_{i3s}$

(この実施例では $-1.6V$)より高いときは、このnチャネルMOSトランジスタ230cおよび230dが非導通状態なので抵抗230fを介して基板電圧 V_{ss} に等しくなり、基板電圧 V_{ss} が $-V_{i2s} - V_{i3s}$ より低いときはnチャネルMOSトランジスタ230cおよび230dが導通状態となるので $-V_{i2s} - V_{i3s}$ となる。このとき抵抗230fは高抵抗値をもつため、 V_g が $-V_{i2s} - V_{i3s}$ となっても V_{ss} は V_g にはならない(抵抗230fの両端で電圧差が生じている)。

【0048】そして、電圧出力ノード200aと接地電圧ノード100cとの間に接続されたクランプ回路230は、電圧出力ノード200aの電圧 V_{ss} が、所定電圧 $V_{rk} = -V_{i1s} - V_{i3s} - V_{i4s}$ ($-2.3V$)よりも高いクランプレベル $V_{cl} = -V_{i1s} - V_{i1s} - V_{i1s} - V_{i3s}$ ($-3.0V$)よりも低くなると、電圧出力ノード200aと接地電圧ノード100cとの間に接続されたnチャネルMOSトランジスタ230cおよび230dに加えて230aおよび230bも導通状態となり、それまで抵抗230f、nチャネルMOSトランジスタ230cおよび230dを介して導通していた電圧出力ノード200aと接地電圧ノード100cが、nチャネルMOSトランジスタ230a~230dを介しても導通し、nチャネルMOSトランジスタ230aおよび230bのオン抵抗はこれと並列に接続された高抵抗値をもつ抵抗230fに比べかなり低くなっているため、接地電圧ノード100cから電圧出力ノード200aへと大きく電流が流れて電圧出力ノード200aの電圧 V_{ss} はクランプレベル V_{cl} にクランプされる。

【0049】また、このクランプ回路230からのゲート電位 V_g (V_{ss} または $-V_{i2s} - V_{i3s}$)を受ける基板電圧検知回路210におけるnチャネルMOSトランジス

タ210iは、ソース電極に受けている基板電圧 V_{B1} が $-V_{i12} - V_{i13}$ ($-1.7V$) より高いときは $V_G = V_{B1}$ なのでゲート・ソース間電圧が0Vとなり常に非導通状態、基板電圧 V_{B1} が $-V_{i12} - V_{i13}$ ($-1.7V$) より低いときは $V_G = -V_{i12} - V_{i13}$ ($-1.7V$) なので、この基板電圧 V_{B1} がゲート電位 V_G よりもこのnチャネルMOSトランジスタ210iの閾値電圧 V_{i14} だけ低い電圧 $V_G - V_{i14}$ ($-2.3V$) より低いと導通状態、高いと非導通状態となる。

【0050】次に以上のように構成された電圧発生回路200の動作について説明する。まず、基板電圧 V_{B1} が検知レベル V_{B1} ($V_{i10} < V_{CC} < V_{i11}$ ではほぼ $-V_{i11} - V_{i12} - V_{i13}$ ($-1.5V$)、第1の電圧領域 $V_{i11} < V_{CC} < V_{i12}$ では V_{CC} の上昇に応じて $-V_{i11} - V_{i12} - V_{i13}$ から下降するレベル、第2の電圧領域 $V_{CC} > V_{i12}$ では V_{B1} ($-2.3V$) より高いレベルにあるときは、nチャネルMOSトランジスタ210b、210cおよび210dとともに非導通状態で、nチャネルMOSトランジスタ210iも非導通状態で、pチャネルMOSトランジスタ210eはゲート電極に接地電圧を受けて常時導通状態となっているため、ノード210aの電圧は電源電圧 V_{CC} となり、このノード210aの電圧を受けるインバータ210gおよび210hにより検知信号 ϕ はHレベル (V_{CC}) となる。すると、この検知信号 ϕ を受けてリングオシレータ回路221は発振を開始し、クロック信号 ϕ_{cl} は電源電圧 V_{CC} と接地電圧との間で振動し始め、ドライバ回路222はこのクロック信号 ϕ_{cl} を受け、このクロック信号 ϕ_{cl} が接地電圧から V_{CC} へと立ち上がるとノード122dの電圧はキャパシタ222eの容量結合により $k V_{CC}$ だけ上昇しようとする。

【0051】しかし、このノード222dの電圧がpチャネルMOSトランジスタ222fの閾値電圧の絶対値 $|V_{i15}|$ よりも高くなると、このpチャネルMOSトランジスタ222fは導通状態となり、ノード222dからpチャネルMOSトランジスタ222fを介して接地電圧ノード100cに電流が流れるため、このノード222dの電圧は $|V_{i15}|$ となる。また、クロック信号 ϕ_{cl} が電源電圧 V_{CC} から接地電圧へと立ち下がるとキャパシタ222eの容量結合によりノード222dの電圧は $k V_{CC}$ だけ下降して $-k V_{CC} + |V_{i15}|$ になる。そして、ドライバ用トランジスタ222gはノード222dの電圧が電圧出力ノード200aの電圧 V_{B1} からこのドライバ用トランジスタ222gの閾値電圧の絶対値 $|V_{i16}|$ だけ高い電圧 $V_{B1} + |V_{i16}|$ より低いと導通し、高いと非導通となるため、ドライバ回路222は電圧出力ノード200aの電圧 V_{B1} を $-k V_{CC} + |V_{i15}| + |V_{i16}|$ ($-V_{CC} + 1.4$) まで低くする能力を有している。

【0052】しかし、 V_{B1} が検知レベル V_{B1} ($V_{i10} < V_{CC} < V_{i11}$ ではほぼ $-V_{i11} - V_{i12} - V_{i13}$ ($-1.5V$)、第1の電圧領域 $V_{i11} < V_{CC} < V_{i12}$ では V_{CC} の上昇に応じて $-V_{i11} - V_{i12} - V_{i13}$ から下降するレベ

ル、第2の電圧領域 $V_{CC} > V_{i12}$ では V_{B1} ($-2.3V$) よりも低くなると、nチャネルMOSトランジスタ210b、210cおよび210dが導通状態、またはnチャネルMOSトランジスタ210iが導通状態となり、ノード210aがLレベルとなり、これを受けるインバータ210gおよび210hにより検知信号 ϕ をLレベル (接地電圧) とする。

【0053】すると、この検知信号 ϕ を受けてリングオシレータ回路221におけるNAND回路221aはHレベル (V_{CC}) の信号を出力し、このリングオシレータ回路221から出力されるクロック信号 ϕ_{cl} はLレベルとなり、ドライバ回路222はこのクロック信号 ϕ_{cl} を受けてチャージポンプ動作を停止するため、電圧出力ノード200aの電圧 V_{B1} は検知レベル V_{B1} に保たれることになる。

また、電圧出力ノード200aの電圧 V_{B1} がクランプレベル V_{C1} ($= -V_{i17} - V_{i18} - V_{i19} - V_{i20}$) よりも低くなったときは、クランプ回路230におけるnチャネルMOSトランジスタ230a~230dが導通状態となり電圧出力ノード200aと接地電圧ノード100cが導通して電圧 V_{B1} がクランプレベル V_{C1} にクランプされる。

【0054】次に、電圧出力ノード200aから出力される基板電圧の電源電圧 V_{CC} 依存性について図5に基づき説明する。図5は電源電圧 V_{CC} - 基板電圧 V_{B1} 特性を表したグラフで、(a) は電圧発生回路200が電圧出力ノード200aに出力できる電圧を示す直線で $-k V_{CC} + |V_{i15}| + |V_{i16}|$ 、(b) (c) および (d) は基板電位 V_{B1} がこれ以下になると基板電圧検知回路210がLレベルの検知信号 ϕ を出力してリングオシレータ回路221の発振動作を停止させる検知レベル V_{B1} を示す曲線で、 $V_{i10} < V_{CC} < V_{i11}$ ($2.9V < V_{CC} < 3.9V$) では $-V_{i11} - V_{i12} - V_{i13}$ ($-1.5V$)、第1の電圧領域である $V_{i11} < V_{CC} < V_{i12}$ ($3.9V < V_{CC} < 4.3V$) では電源電圧 V_{CC} の上昇にตอบสนองして $-V_{i11} - V_{i12} - V_{i13}$ から下降する曲線、第2の電圧領域である $V_{CC} > V_{i12}$ ($V_{CC} > 4.3V$) では V_{B1} ($-2.3V$)、(e) はクランプ回路230のクランプレベルで V_{C1} ($6.3V$) である。

【0055】ここで、なぜ検知レベル V_{B1} が $V_{i10} < V_{CC} < V_{i11}$ ($2.9V < V_{CC} < 3.9V$) では $-V_{i11} - V_{i12} - V_{i13}$ ($-1.5V$) となり、第1の電圧領域である $V_{i11} < V_{CC} < V_{i12}$ ($3.9V < V_{CC} < 4.3V$) では電源電圧 V_{CC} の上昇にตอบสนองして $-V_{i11} - V_{i12} - V_{i13}$ から下降するのか説明しておく。 $V_{CC} < V_{i12}$ ($V_{CC} < 4.3V$) では基板電圧検知回路210におけるnチャネルMOSトランジスタ210iは非導通状態であり、ノード210aの電圧はpチャネルMOSトランジスタ210eとnチャネルMOSトランジスタ210b、210cおよび210dとで $V_{CC} - V_{B1}$ を抵抗分割した値に基板電圧 V_{B1} を加えることで決まる。電源電圧 V_{CC} が低いときは ($2.9V < V_{CC} < 3.9V$)、pチャネルMOSトランジスタ210eのゲート・ソース間電圧の絶対値は小さく、pチャネルMOSトランジスタ210eは高抵抗値をもった抵抗と同等となり、このときnチャネルMOSト

ランジスタ210b、210cおよび210dが導通したときの抵抗の和よりも大きい場合、ノード210aの電圧はLレベル（これを受けるインバータ210gがHレベルを出力するレベル）となる。

【0056】さらに、電源電圧 V_{cc} が上昇すると、pチャネルMOSトランジスタ210eのゲート・ソース間電圧の絶対値が大きくなるためpチャネルMOSトランジスタ210eが導通したときの抵抗が小さくなり、 V_{cc} が V_{i1}

(3.9V) を越えると基板電位 V_{B1} が $-V_{i11} - V_{i12} - V_{i13}$ (-1.5V) ではノード210aにはLレベルの電圧が抵抗分割によっては出力されなくなり、このノード210aの電圧がLレベルになるには基板電圧 V_{B1} がもっと下がらなくてはならなくなる。したがって検知レベル V_{B1} は第1の電圧領域である $V_{i1} < V_{cc} < V_{i2}$ (3.9V < V_{cc} < 4.3V) となると電源電圧 V_{cc} の上昇にตอบสนองして $-V_{i11} - V_{i12} - V_{i13}$ (-1.5V) から下降する。ここで、検知レベル V_{B1} はpチャネルMOSトランジスタ210eの飽和電流が $(V_{cc} - V_{B1})^2$ に比例して上昇するため（これが上昇するという事は抵抗値が小さくなることに相当する）、 V_{cc} の上昇に伴い急速に下降していく。

【0057】もとの説明に戻って、通常動作時は電源電圧 V_{cc} は図5に示されたように V_0 (3.3V) 付近を使用し、基板電圧 V_{B1} は V_1 (-1.5V) となっている。また、バーンイン試験する際や、電源電圧が変動して上昇した場合は電源電圧 V_{cc} は図5に示すように第2の電圧領域である $V_{cc} > V_{i2}$ ($V_{cc} > 4.7V$) の領域でも使用されることになる。この領域でも検知レベル V_{B1} を示す直線(d)はクランプレベル V_{c1} を示す直線(e)よりも上にある。これにより、基板電圧 V_{B1} が検知レベル V_{B1} (-2.3V) よりも低くなると、基板電圧検知回路210がこれを検知してLレベルの検知信号 ϕ_1 を出力してリングオシレータ回路221の発振動作を停止させるため、基板電圧 V_{B1} がたとえクランプレベル V_{c1} を越えたとしても、このときチャージポンプ回路220の電圧出力ノード200aに電圧 V_{B1} を出力する動作が停止し、クランプ回路230が接地電圧ノード100cから電圧出力ノード200aに電流を流すクランプ動作の最中にリングオシレータ回路221が発振し続け、ドライバ回路222はチャージポンプ動作をし続けて電圧出力ノード200aの電圧 V_{B1} をさらに下降させようとする動作がいつまでも起きず、つまりは、チャージポンプ動作とクランプ動作が同時に起こることがないので、消費電流を低減できる。

【0058】以上のようにこの実施例3では、リングオシレータ回路221の発振を止める検知レベル V_{B1} がクランプレベル V_{c1} よりも常に高くなるようにしたため、チャージポンプ動作とクランプ動作が同時に起こることがないので、消費電流が小さい。また、抵抗230fおよびnチャネルMOSトランジスタ210iを付加してこのトランジスタ210iのゲート電位 V_0 はクランプ回路230から得

これを実現しているため、レイアウト面積の増加が抑制される。

【0059】実施例4. 以下にこの発明の実施例4である電圧発生回路について、図6に基づいて説明する。図6において、100は電源電圧 V_{cc} を受けて駆動し、通常動作時はこの電源電圧 V_{cc} （この実施例では通常動作時3.3V）よりも高い高電圧 V_{B1} （通常動作時4.7V）を電圧出力ノード100aに出力する回路で、この電圧発生回路100が図1に示された実施例1における電圧発生回路100と異なる点は、実施例1においてはpチャネルMOSトランジスタ130a~130fによりクランプ回路130が構成されていたが、この実施例4ではクランプ回路140が電圧出力ノード100aと接地電圧ノード100cとの間に接続されたpチャネルMOSトランジスタ140a（閾値電圧 V_{t1} (-0.8V)）と、定電圧源141bおよび141cとからなる基準電圧発生回路141とから構成され、この基準電圧発生回路141から出力される V_{B1} (5.5V)はpチャネルMOSトランジスタ140aのゲート電極に入力され、クランプレベル V_{c1} が $V_{B1} + |V_{t1}|$ (6.3V) 決まっている点、および高電圧検知回路110におけるpチャネルMOSトランジスタ110g（閾値電圧 V_{t1} (-0.7V)）のゲート電極に基準電圧発生回路141からの基準電圧 V_{B1} (4.6V)が入力され、検知レベル V_{B1} における所定電圧 V_{B1} が $V_{B1} + |V_{t1}|$ (5.3V)に決まっている点である。

【0060】このように構成された電圧発生回路100は図1に示された実施例1における電圧発生回路100と同様の動作をし、図2に示されたような高電圧 V_{B1} - 電源電圧 V_{cc} 特性を示す。以上のようにこの実施例4では、リングオシレータ回路221の発振を止める検知レベル V_{B1} がクランプレベル V_{c1} よりも常に低くなるようにしたため、チャージポンプ動作とクランプ動作が同時に起こることがないので、消費電流が小さい。

【0061】実施例5. 以下にこの発明の実施例5である電圧発生回路について、図7に基づいて説明する。図7において、200は電源電圧 V_{cc} を受けて駆動し、負の基板電圧 V_{B1} （この実施例では-1.5V）を電圧出力ノード200aに出力する回路で、この電圧発生回路200が図4に示された実施例3における電圧発生回路200と異なる点は、実施例3においてはnチャネルMOSトランジスタ230a~230dによりクランプ回路230が構成されていたが、この実施例5ではクランプ回路240が電圧出力ノード200aと接地電圧ノード200cとの間に接続されたnチャネルMOSトランジスタ240a（閾値電圧 V_{t1} (0.6V)）と、定電圧源241bおよび241cとからなる基準電圧発生回路241とから構成され、この基準電圧発生回路241から出力される V_{B1} (-2.4V)はpチャネルMOSトランジスタ240aのゲート電極に入力され、クランプレベル V_{c1} が $V_{B1} - V_{t1}$ (-3.0V)に決まっている点、および基板電圧検知回路210におけるnチャネルM

OSトランジスタ210i (閾値電圧 V_{t14} (0.6V)) のゲート電極に基準電圧発生回路241からの基準電圧 V_{t14} (-1.7V) が入力され、検知レベル V_{t1} における所定電圧 V_{PR} が $V_{t14} - V_{t1}$ (-2.3V) に決まっている点である。

【0062】このように構成された電圧発生回路200は図4に示された実施例3における電圧発生回路100と同様の動作をし、図5に示されたような基板電圧 V_{ss} - 電源電圧 V_{cc} 特性を示す。以上のようにこの実施例5では、リングオシレータ回路221の発振を止める検知レベル V_{t1} がクランプレベル V_{t1} よりも常に高くなるようにしたため、チャージポンプ動作とクランプ動作が同時に起こることがないので、消費電流が小さい。

【0063】実施例6. 以下にこの発明の実施例1から実施例5に示された電圧発生回路100および200を有したDRAM (Dynamic Random Access Memory) について、図8に基づいて説明する。図8において、100は図1、図3および図6に示されたようなこの発明における高電圧 V_{PR} を出力する電圧発生回路、200は図4および図7に示されたようなこの発明における基板電圧 V_{ss} を出力する基板電圧発生回路である。300は外部からのロウアドレスストロブ信号 ext/RAS を受けて内部ロウアドレスストロブ信号 RAS を出力する RAS バッファ、310はこの RAS バッファからの内部ロウアドレスストロブ信号 RAS および外部からのアドレス信号 A_i を受け、 RAS が L レベルに立ち下るとアドレス信号 A_i をロウアドレスとして取り込み RA_i / RA_i を出力する行アドレスバッファ、320は行アドレスバッファ310からのロウアドレス RA_i / RA_i を受け、このロウアドレス RA_i / RA_i に応じた行プリデコード信号 X_i を出力する行プリデコーダ、330は高電圧発生回路100からの高電圧 V_{PR} を受けて動作し、行アドレスバッファ310からのロウアドレス RA_i / RA_i の一部を受け、これに応じたワード線駆動信号 RX_i を出力する RX サブデコーダ、340は行アドレスバッファ310からのロウアドレス RA_i / RA_i の一部を受け、これに応じたブロック選択信号 BS_i を出力するブロック選択回路である。

【0064】350は行プリデコーダ320からの行プリデコード信号 X_i 、 RX サブデコーダ330からのワード線駆動信号 RX_i およびブロック選択回路340からのブロック選択信号 BS_i を受け、これらの信号に応じたワード線の電位 WL を高電圧 V_{PR} に立ち上げる行デコーダおよびワードドライバである。360は外部からのコラムアドレスストロブ信号 ext/CAS を受けて内部コラムアドレスストロブ信号 CAS を出力する CAS バッファ、370はこの CAS バッファ370からの内部コラムアドレスストロブ信号 CAS および外部からのアドレス信号 A_i を受け、 CAS が L レベルに立ち下るとアドレス信号 A_i をコラムアドレスとして取り込み CA_i / CA_i を出力する列アドレスバッファ、380は列アドレスバッファ370からのコラム

アドレス CA_i / CA_i を受け、このコラムアドレス CA_i / CA_i に応じた列プリデコード信号 Y_i を出力する列プリデコーダ、390はこの列プリデコーダ380からの列プリデコード信号 Y_i を受け、これに応じたコラム選択線の電位 CSL を H レベルに立ち上げる列デコーダである。

【0065】400は複数のメモリセルがマトリックス状に配置されたメモリセルアレイ、410は各ビット線対に接続され、ワード線により選択されたメモリセルからビット線に読み出されたデータを増幅するセンスアンプおよび列デコーダ390により選択されたコラム選択線に応じたビット線対を I / O 線対に接続するための I / O ゲート回路、420はライトイネーブル信号 WE を受け、このライトイネーブル信号 WE が L レベルであると、外部から入力されたデータ D_{in} を I / O 線対を介してアドレス信号に応じたアドレスに位置するメモリセルに書き込み、ライトイネーブル信号 WE が H レベルであると I / O 線に読み出されたデータを外部へ D_{out} として出力する入出力バッファである。

【0066】図9は RX サブデコーダ330の一回路を示しており、この回路は電源電圧 V_{cc} レベルのロウアドレス信号 RA_i / RA_i のうち1つ、 RA_i / RA_i のうち1つを受け、これに応じたワード線駆動信号 RX_i を高電圧発生回路100から出力される高電圧 V_{PR} を受けて駆動するレベル変換回路333により高電圧 V_{PR} レベルに立ち上げる回路である。図10は行デコーダおよびワードドライバ350およびメモリアレイ400の一部を示した回路図であり、351は行デコーダ、352はワードドライバ、410はメモリセルで、行デコーダ351およびワード線駆動信号 RX_i により選択されたワード線はワードドライバ352のセルフブースト動作により高電圧 V_{PR} まで立ち上がる。このようにワード線の電圧 WL を電源電圧 V_{cc} よりも高い高電圧 V_{PR} に与えることにより、ビット線の V_{cc} の電圧をメモリセル410における n チャネル MOS トランジスタ410aの閾値電圧 V_{t1} ぶんの電圧降下なしにキャパシタ410bに伝えることができる (V_{cc} をキャパシタ410bに伝えるには $V_{cc} + V_{t1}$ (3.3 + 1.0 = 4.3V) で十分だが余裕をもたして $V_{PR} = V_{cc} + |V_{t1}| + |V_{t2}|$ (3.3 + 1.4 = 4.7V) としている)。

【0067】図11は基板電圧発生回路200により p 型基板に基板電圧 V_{ss} を印加したときの略式断面図で、メモリセルアレイが形成される p 型ウェルはこの p 型基板に形成され、基板電圧 V_{ss} がメモリセルに印加される。なお図11では基板電圧発生回路200におけるドライバトランジスタ222gのみ示した。

【0068】

【発明の効果】以上のようにこの発明の第1の発明においては、クランプ回路がクランプ動作中にチャージポンプ回路がチャージポンプ動作しないため消費電流が少ないという効果がある。また、この発明の第2の発明も同様にクランプ回路がクランプ動作中にチャージポンプ回

路がチャージポンプ動作しないため消費電流が少ないという効果がある。

【図面の簡単な説明】

【図1】この発明の実施例1の回路図である。

【図2】この発明の実施例1の動作特性を示すグラフである。

【図3】この発明の実施例2の回路図である。

【図4】この発明の実施例3の回路図である。

【図5】この発明の実施例3の動作特性を示すグラフである。

【図6】この発明の実施例4を示す回路図である。

【図7】この発明の実施例5を示す回路図である。

【図8】この発明における電圧発生回路を有するDRAM（実施例6）を示すブロック図である。

【図9】この発明における実施例6のRXサブデコーダ回路図である。

【図10】この発明における実施例6の行デコーダ、ワードドライバおよびメモリセルアレイの一部の回路図である。

【図11】この発明における実施例6の基板電圧発生回

20

路の基板およびメモリセルアレイへの基板電圧印加を示した略式断面図である。

【図12】従来の電圧発生回路を示す回路図である。

【図13】従来の電圧発生回路の動作を示すグラフである。

【符号の説明】

100 電圧発生回路

100a 電圧出力ノード

100c 接地電圧ノード

110 高電圧検知回路

120 チャージポンプ回路

130 クランプ回路

140 クランプ回路

200 電圧発生回路

200a 電圧出力ノード

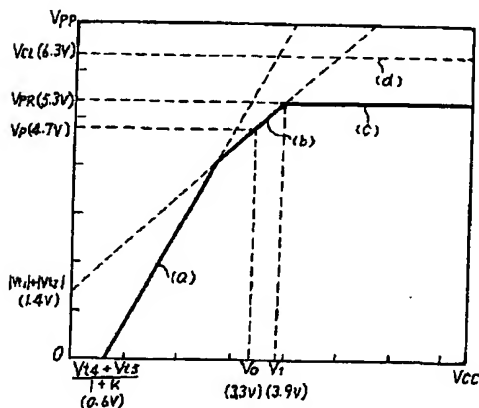
210 基板電圧検知回路

220 チャージポンプ回路

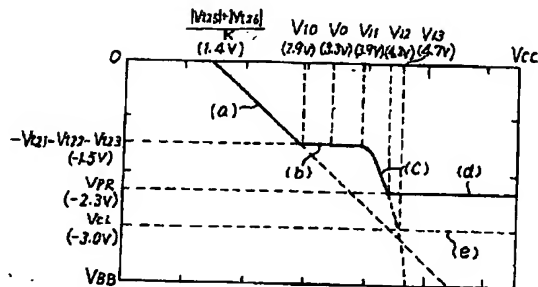
230 クランプ回路

240 クランプ回路

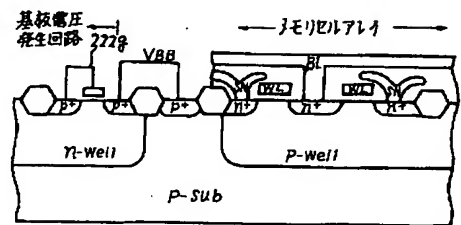
【図2】



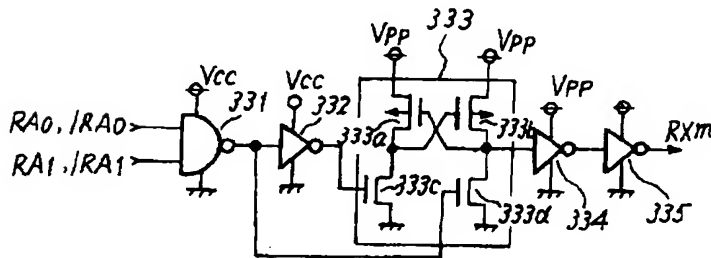
【図5】



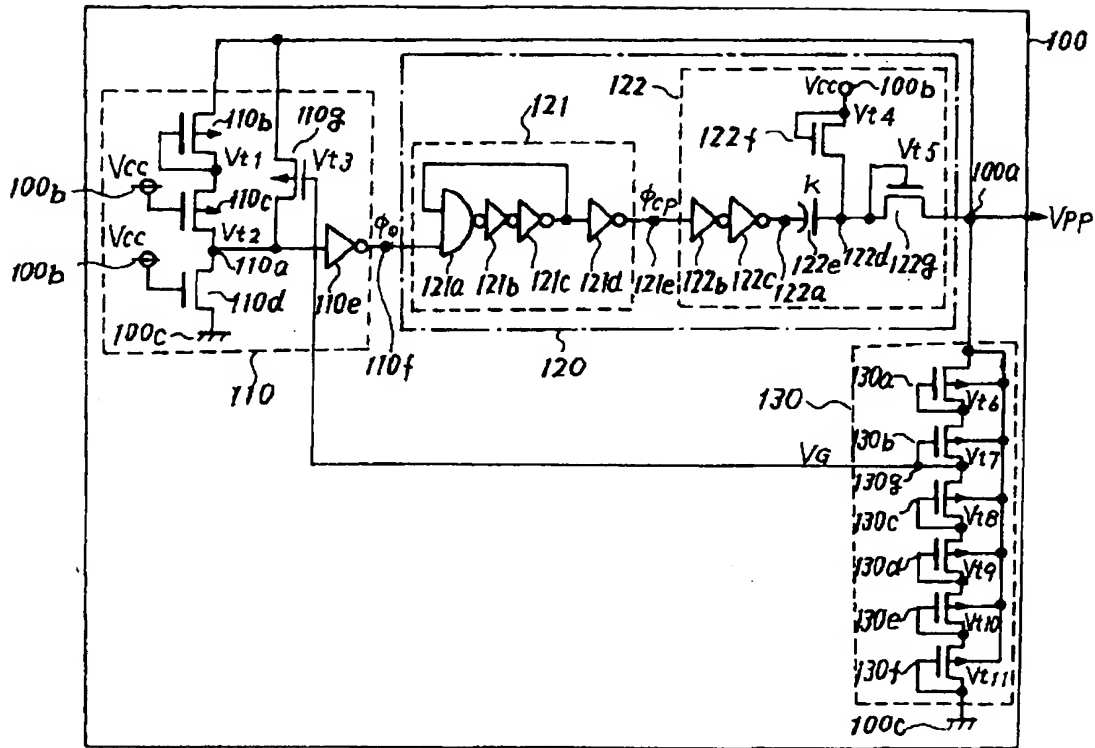
【図11】



【図9】

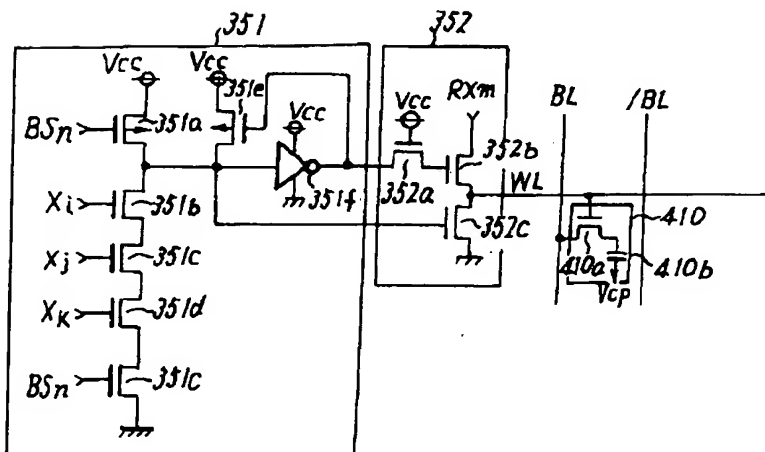


【図 1】

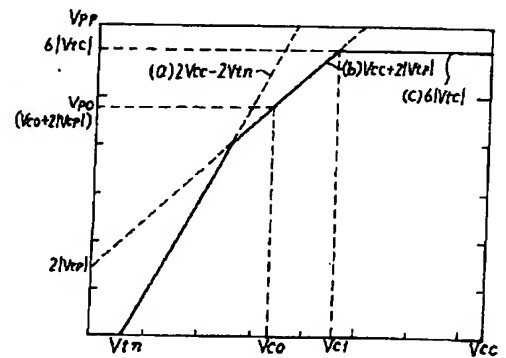


- 100 : 電圧発生回路
 100a : 電圧出力ノード
 100c : 接地電圧ノード
 110 : 高電圧検知回路
 120 : チャージポンプ回路
 130 : クランプ回路

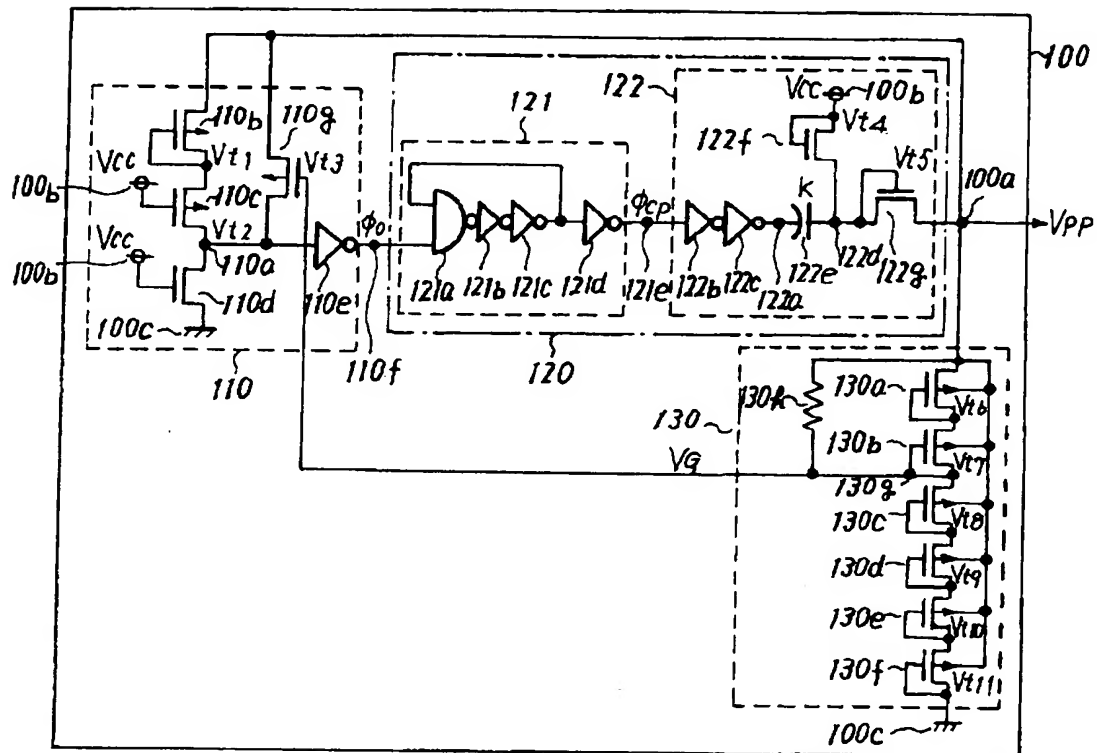
【図 10】



【図 13】

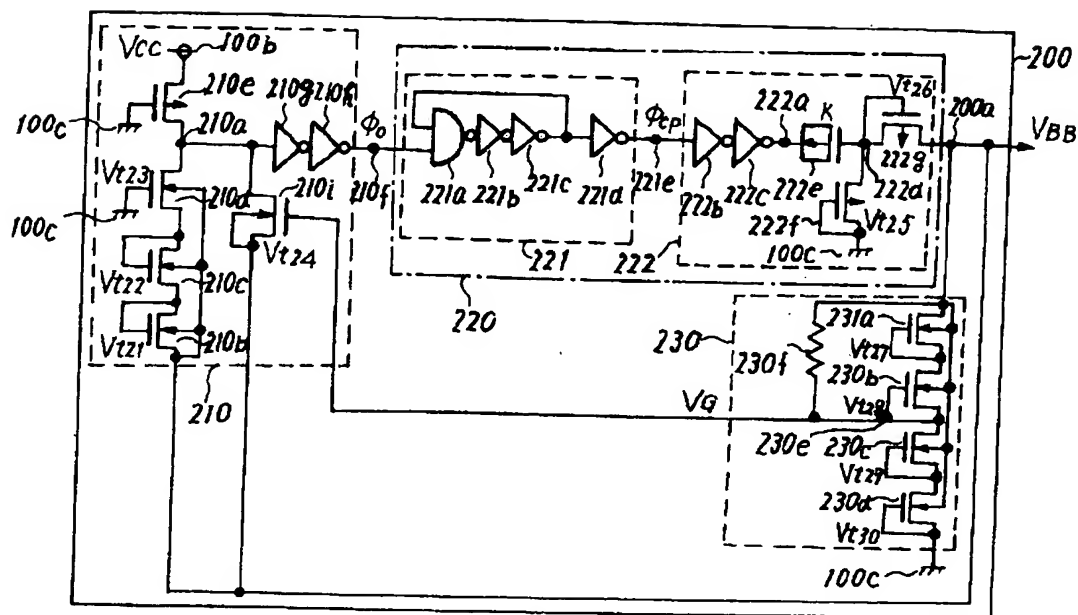


【図 3】

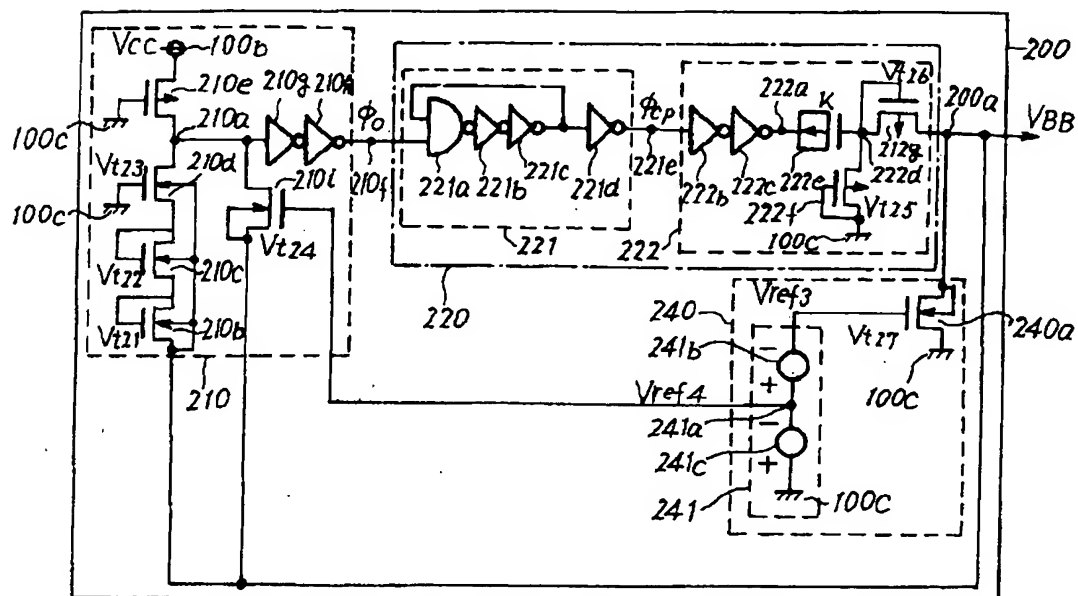


- 100: 電圧発生回路
 100a: 電圧出力ノード
 100c: 接地電圧ノード
 110: 高電圧検知回路
 120: チャージポンプ回路
 130: クランプ回路

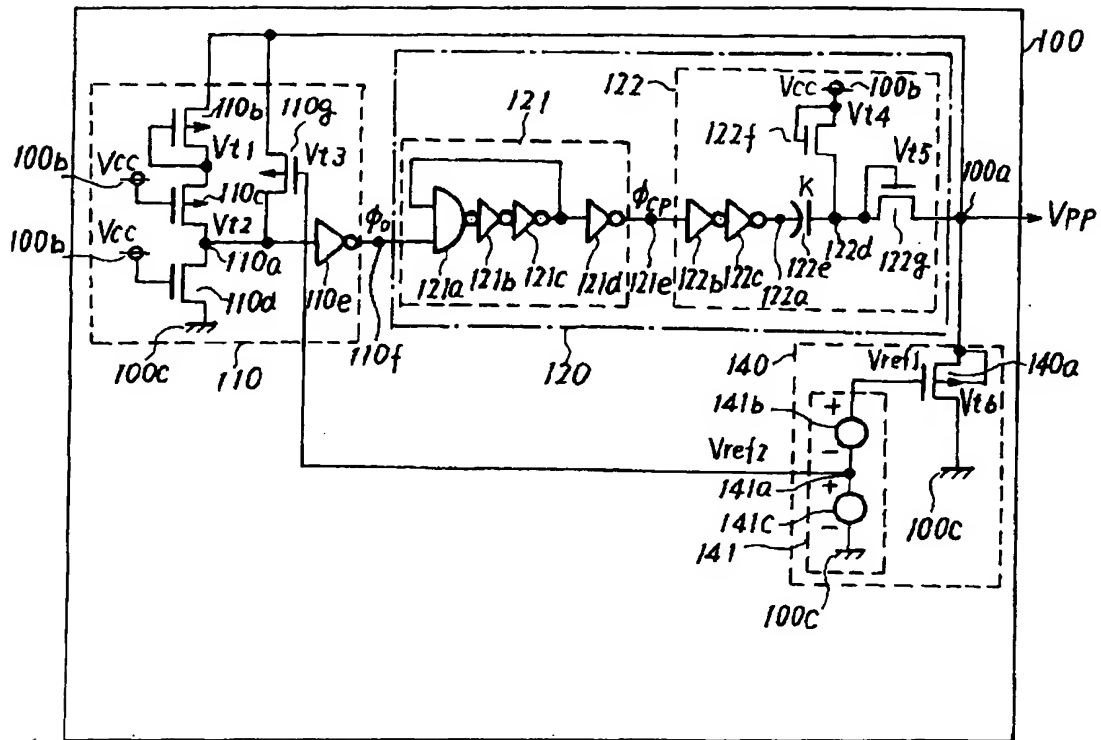
【図 4】



【図 7】

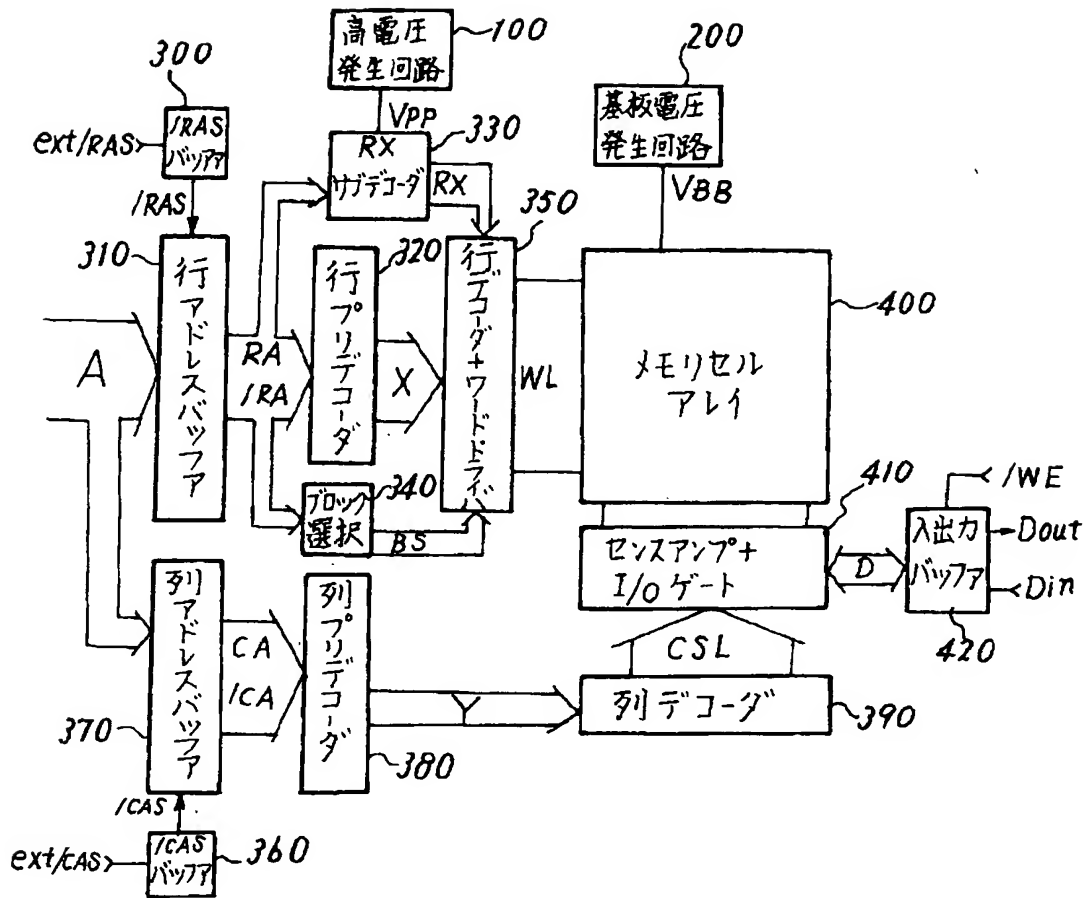


【図 6】



- 100 : 電圧発生回路
- 100a : 電圧出力ノード
- 100c : 接地電圧ノード
- 120 : チャージポンプ回路
- 140 : クランプ回路

【図8】



【図12】

